

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-245729

(43)Date of publication of application : 19.09.1995

(51)Int.Cl.

H04N 5/262
G06T 5/20
H04N 7/24

(21)Application number : 06-032561

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 02.03.1994

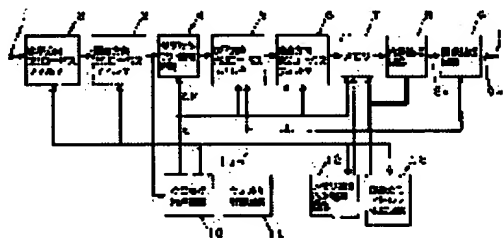
(72)Inventor : SAEKI MASAHIRO

(54) VIDEO SIGNAL PROCESSING METHOD AND VIDEO SPECIAL EFFECT DEVICE

(57)Abstract:

PURPOSE: To realize defocusing effect suppressing a steep part of an image due to a change in a frequency division ratio by implementing low pass filter processing before sub-sample processing to prevent loop back distortion in the sub-sample processing.

CONSTITUTION: A signal received by a video signal input terminal 1 is filtered by a horizontal direction 1st low pass filter 2. The filter characteristic of the horizontal direction 1st low pass filter 2 is controlled by a frequency division ratio (d) outputted from a clock frequency divider circuit 10. An output of the horizontal direction 1st low pass filter 2 is given to a vertical direction 1st low pass filter 3. Then the filter characteristic of the vertical direction 1st low pass filter 3 is controlled similarly by the frequency divider ratio outputted from the clock frequency divider circuit 10 to the case with the horizontal direction 1st low pass filter 2. Thus, the low pass filter processing is implemented before sub sample processing in response to the frequency divider ratio used for the sub sample processing.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245729

(43) 公開日 平成7年(1995)9月19日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	5/262			
G 0 6 T	5/20			
H 0 4 N	7/24			
			G 0 6 F 15/ 68	4 1 0
			H 0 4 N 7/ 13	Z
			審査請求 未請求	請求項の数11 O L (全 10 頁)

(21) 出願番号 特願平6-32561

(22) 出願日 平成6年(1994)3月2日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 佐伯 理宏

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

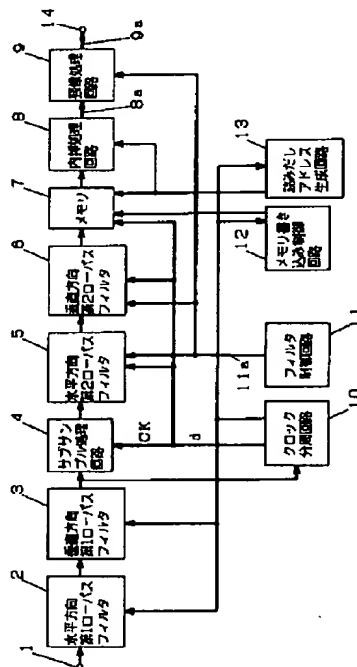
(74) 代理人 弁理士 小銀治 明 (外2名)

(54) 【発明の名称】 映像信号処理方法および映像特殊効果装置

(57) 【要約】

【目的】 サブサンプル処理による折り返し歪の発生や、分周率の変化による画像の不自然な変化を抑え、大きなデフォーカス効果が得られる映像信号処理方法と装置を提供する。

【構成】 入力デジタル映像信号に対し、ローパスフィルタ処理を行ない、こののち分周クロックによりサブサンプル処理およびローパスフィルタ処理を行って画像メモリに書き込み、書き込まれた信号に補間処理を施して拡大された信号に変換することにより、入力されたデジタル映像信号をぼかした効果を実現する。



【特許請求の範囲】

【請求項 1】 入力されたデジタル映像信号に対し、データクロックを分周して、前記分周後のクロックによりサブサンプル処理を行い、前記サブサンプル処理後の信号に前記分周後のクロックでローパスフィルタ処理を行い、前記ローパスフィルタ処理後の信号を画像メモリに書き込み、前記画像メモリに書き込まれた信号を補間処理を行うことによって拡大された信号に変換することにより、入力されたデジタル映像信号をぼかした効果を実現する映像信号処理方法であって、前記データクロックの分周度合いに応じて、前記サブサンプル処理を行なう前に前記入力されたデジタル映像信号に対し、ローパスフィルタ処理を行なう映像処理方法。

【請求項 2】 入力されたデジタル映像信号に対し、データクロックを分周して、前記分周後のクロックによりサブサンプル処理を行い、前記サブサンプル処理後の信号に前記分周後のクロックでローパスフィルタ処理を行い、前記ローパスフィルタ処理後の信号を画像メモリに書き込み、前記画像メモリに書き込まれた信号を補間処理を行うことによって拡大された信号に変換することにより、入力されたデジタル映像信号をぼかした効果を実現する映像信号処理方法であって、前記データクロックの分周度合いに応じて、前記映像信号をフィールド単位で間引いてローパスフィルタ処理を行なう映像処理方法。

【請求項 3】 入力されたデジタル映像信号に対し、データクロックを分周して、前記分周後のクロックによりサブサンプル処理を行い、前記サブサンプル処理後の信号に前記分周後のクロックでローパスフィルタ処理を行い、前記ローパスフィルタ処理後の信号を画像メモリに書き込み、前記画像メモリに書き込まれた信号を補間処理を行うことによって拡大された信号に変換することにより、入力されたデジタル映像信号をぼかした効果を実現する映像信号処理方法であって、前記データクロックの分周度合いに応じて、前記映像信号をフィールド単位で間引いて補間処理を行なう映像処理方法。

【請求項 4】 入力されたデジタル映像信号に対し、データクロックを分周して、前記分周後のクロックによりサブサンプル処理を行い、前記サブサンプル処理後の信号に前記分周後のクロックでローパスフィルタ処理を行い、前記ローパスフィルタ処理後の信号を画像メモリに書き込み、前記画像メモリに書き込まれた信号を補間処理を行うことによって拡大された信号に変換することにより、入力されたデジタル映像信号をぼかした効果を実現する映像信号処理方法であって、前記データクロックの分周度合いに応じて、前記画像メモリへの書き込みをフィールド単位で中断する映像処理方法。

【請求項 5】 入力されたデジタル映像信号に対し、データクロックを分周して、前記分周後のクロックによりサブサンプル処理を行い、前記サブサンプル処理後の信号に前記分周後のクロックでローパスフィルタ処理を行い、前記ローパスフィルタ処理後の信号を画像メモリに書き込み、前記画像メモリに書き込まれた信号を補間処理を行うことによって拡大された信号に変換することにより、入力されたデジタル映像信号をぼかした効果を実現する映像信号処理方法であって、

10 前記データクロックの分周度合いに応じて、前記補間処理後の映像信号に残像処理を施す映像処理方法。

【請求項 6】 入力されたデジタル映像信号に対し、データクロックを分周して、前記分周後のクロックによりサブサンプル処理を行い、前記サブサンプル処理後の信号に前記分周後のクロックでローパスフィルタ処理を行い、前記ローパスフィルタ処理後の信号を画像メモリに書き込み、前記画像メモリに書き込まれた信号を補間処理を行うことによって拡大された信号に変換することにより、入力されたデジタル映像信号をぼかした効果を実現する映像信号処理方法であって、

20 前記データクロックの分周度合いに応じて、前記補間処理後の映像信号に前記ぼかした効果の度合いに応じて特性を制御する IIR フィルタ処理を施す映像処理方法。

【請求項 7】 映像信号のデータ周期を表す入力クロック信号を分周するクロック信号分周回路と、前記分周回路から出力される分周クロック信号の周期で前記映像信号をサンプリングするサブサンプル回路と、前記分周クロック信号の周期で処理を行うトランスバースルフィルタ回路と、前記分周クロック信号の周期で映像信号が書き込まれる画像メモリと、前記画像メモリから映像信号を拡大しながら、入力クロック信号の周期で出力する補間回路とを備えた映像特殊効果装置であって、請求項 1 もしくは請求項 2 記載の映像信号処理方法により、フィルタ処理を行うフィルタ回路を備えた映像特殊効果装置。

【請求項 8】 映像信号のデータ周期を表す入力クロック信号を分周するクロック信号分周回路と、前記分周回路から出力される分周クロック信号の周期で前記映像信号をサンプリングするサブサンプル回路と、前記分周クロック信号の周期で処理を行うトランスバースルフィルタ回路と、前記分周クロック信号の周期で映像信号が書き込まれる画像メモリと、前記画像メモリから映像信号を拡大しながら、入力クロック信号の周期で出力する補間回路とを備えた映像特殊効果装置であって、請求項 3 記載の映像信号処理方法により、前記補間回路を制御する映像特殊効果装置。

【請求項 9】 映像信号のデータ周期を表す入力クロック信号を分周するクロック信号分周回路と、前記分周回路から出力される分周クロック信号の周期で前記映像信号をサンプリングするサブサンプル回路と、前記分周クロック

ク信号の周期で処理を行うトランスバースルフィルタ回路と、前記分周クロック信号の周期で映像信号が書き込まれる画像メモリと、前記画像メモリから映像信号を拡大しながら、入力クロック信号の周期で出力する補間回路とを備えた映像特殊効果装置であって、請求項4記載の映像信号処理方法により、前記画像メモリを制御する映像特殊効果装置。

【請求項10】 映像信号のデータ周期を表す入力クロック信号を分周するクロック信号分周回路と、前記分周回路から出力される分周クロック信号の周期で前記映像信号をサンプリングするサブサンプリング回路と、前記分周クロック信号の周期で処理を行うトランスバースルフィルタ回路と、前記分周クロック信号の周期で映像信号が書き込まれる画像メモリと、前記画像メモリから映像信号を拡大しながら、入力クロック信号の周期で出力する補間回路とを備えた映像特殊効果装置であって、請求項5記載の映像信号処理方法により、残像効果を施す残像回路を備えた映像特殊効果装置。

【請求項11】 映像信号のデータ周期を表す入力クロック信号を分周するクロック信号分周回路と、前記分周回路から出力される分周クロック信号の周期で前記映像信号をサンプリングするサブサンプリング回路と、前記分周クロック信号の周期で処理を行うトランスバースルフィルタ回路と、前記分周クロック信号の周期で映像信号が書き込まれる画像メモリと、前記画像メモリから映像信号を拡大しながら、入力クロック信号の周期で出力する補間回路とを備えた映像特殊効果装置であって、請求項6記載の映像信号処理方法により、残像効果を施す残像回路を備えた映像特殊効果装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デフォーカス効果を実現するための映像信号処理方法および映像特殊効果装置に関する。

【0002】

【従来の技術】従来、映像信号の形状を変換する映像信号処理装置として、映像特殊効果装置がある。これは、テレビジョン信号をラスタスキャン順にメモリに書き込み、このメモリの内容を任意の順序で読み出した信号をラスタスキャン順のテレビジョン信号として出力することにより、テレビジョン信号を様々な形状に変換するものである。

【0003】図8は従来の映像特殊効果装置の構成を示している。図8において、1は映像信号入力端子、51は水平方向ローパスフィルタ、6は垂直方向ローパスフィルタ、7はメモリ、8は内挿処理回路、11はフィルタ制御回路、13は読みだしアドレス生成回路、14は映像信号出力端子である。

【0004】次に上記従来例の動作について説明する。図8において映像信号入力端子1に入力されたテレビ

ジョン信号は、水平方向ローパスフィルタ51および垂直方向ローパスフィルタ6により高周波信号成分を除去したのちメモリ7にラスタスキャン順に書き込まれる。メモリ7に書き込まれたテレビジョン信号は、読みだしアドレス生成回路13により生成される、出力映像座標に対応する入力映像座標を表すメモリアドレス（読みだしアドレスと呼ぶ）に従ってメモリ7から数画素分が読み出され、内挿処理回路8に伝送される。

【0005】内挿処理回路8では、読みだしアドレス生成回路13で生成される読みだしアドレスに従って、メモリ7から読み出された数画素分の信号に内挿処理を行い、出力信号として、映像信号出力端子14から出力する。フィルタ制御回路11では、読みだしアドレス生成回路13により生成される読みだしアドレスから、映像信号の縮小率を算出し、この縮小率に応じたフィルタ制御を行う。ここで、入力映像信号にフィルタ処理を行う理由は、入力映像信号を縮小して出力する場合において、予め映像信号の高周波成分を除去しなければ、出力映像信号に折り返し歪が生じるためである。

【0006】次に、上記従来例の映像特殊効果装置におけるデフォーカス効果について説明する。デフォーカス効果とは、テレビジョンのフォーカスが外れた映像を、映像特殊効果装置を用いて疑似的に生成するものである。つまり、フォーカスが合っている信号を、作為的にフォーカスが外れた信号に変換する効果である。以下にデフォーカス効果を従来の映像特殊効果装置で実現する方法を示す。

【0007】上記従来例の映像特殊効果装置において、デフォーカス処理を行うには、まず、読みだしアドレスとして、入出力映像座標が同一のアドレスを生成する。つまり、メモリ7の入力信号と内挿処理回路8の出力信号は全く同一の信号となる。次に、フィルタ制御回路11では、通常は読みだしアドレスから画像の縮小率を算出し、それに応じたフィルタの選択を行うが、デフォーカス効果においては、読みだしアドレスと独立にぼけ量に応じたフィルタの選択を行う。つまり、ぼけ量が多い場合は遮断周波数の低いフィルタを選択し、ぼけ量が少ない場合は遮断周波数の高いフィルタを選択する。

【0008】このように、従来の映像特殊効果装置においては、映像信号の入出力の座標を変換せずに、折り返し歪除去用のローパスフィルタによる高周波成分の減衰処理を行うことにより、デフォーカス処理を実現している。

【0009】しかしながら、上記従来の映像特殊効果装置によるデフォーカス効果では、折り返し歪除去用フィルタの特性によって、デフォーカス効果の度合いが規定されてしまうため、大きなデフォーカス効果を得ることが困難である。そこで、従来の映像特殊効果装置にサブサンプリング処理回路を備えることで、大きなデフォーカス効果を得る方法が考案されている。このような方法を用

いた映像特殊効果装置については、例えば、特開平5-13054号公報に開示されている。

【0010】以下に、このような映像特殊効果装置の動作について、図9～図13に基づき説明する。

【0011】図9において、1は映像信号入力端子、4はサブサンプル処理回路、51は水平方向ローパスフィルタ、6は垂直方向ローパスフィルタ、7はメモリ、8は内挿処理回路、10はクロック分周回路、11はフィルタ制御回路、13は読みだしアドレス生成回路、14は映像信号出力端子である。

【0012】まず、入力映像信号として、図10に示すようなラスタスキャンデータが入力されるとする。図10において、丸印は1画素のデータに相当し、丸印内部の記号は各画素のアドレスを示すものである。つまり、映像は、a1、b1、c1、d1、・・・、y1、z1、a2、b2、・・・といった順序で映像信号入力端子1に入力される。

【0013】次に、クロック分周回路7の動作を説明する。クロック分周回路10には、図11に示すタイミングチャートのような入力垂直クロック110、および入力水平クロック111が映像入力端子1から入力される。クロック分周回路7では、上記入力垂直クロック110および入力水平クロック111から、図11に示すようなサブサンプルクロック113、フィルタクロック115、水平書き込みアドレスクロック116、および垂直書き込みアドレスクロック117が生成される。ここでは、サブサンプル率が1/2の場合を示す。

【0014】次に、サブサンプル処理回路4の動作を説明する。サブサンプル処理回路4では、映像信号入力端子1に入力される映像データを、クロック分周回路10から出力されるサブサンプルクロック113のタイミングでサンプルし、その結果を出力する。つまり、図11に示すようにa1、b1、c1、d1、・・・、y1、z1、a2、b2、・・・の順で入力されるデータを、サブサンプルデータ114として、1つおきにサンプルし、a1、c1、・・・、y1、a2、・・・の順で出力する。このとき出力データの伝送速度は、入力データの1/2となる。

【0015】次に水平方向ローパスフィルタ51、および垂直方向ローパスフィルタ6の動作を説明する。水平方向ローパスフィルタ51では、サブサンプル処理回路4から伝送される入力映像信号に対して1つおきの映像データを、クロック分周回路10から出力されるフィルタクロック115ごとに、フィルタ処理を行なう。フィルタクロック115は、図11に示すように、サブサンプル処理回路4から伝送される映像データ114に同期している。水平方向ローパスフィルタ51はFIR型トランスバーサルフィルタであり、各タップ間の遅延器の遅延量はフィルタクロックの周期と同一であるので、サブサンプルデータ114が水平方向にフィルタ処理され

て、垂直方向ローパスフィルタ6に出力される。

【0016】垂直方向ローパスフィルタ6では、水平方向ローパスフィルタ51の出力データを、クロック分周回路7から出力されるフィルタクロック115ごとにフィルタ処理を行なう。垂直方向ローパスフィルタ6もFIR型トランスバーサルフィルタであり、各タップ間の遅延器の遅延量はフィルタクロック115の1ライン分に等しい。したがって、フィルタに入力されるクロックの周波数が1/2になっているので、垂直方向ローパスフィルタ6の遅延器の遅延量は、入力映像信号の2ライン分に相当する。

【0017】つまり、入力映像信号を1ラインずつ飛ばして垂直方向にフィルタ処理がなされる。このように、水平方向ローパスフィルタ51および垂直方向ローパスフィルタ6では、フィルタクロック115による動作を行なうことで、フィルタ内部の遅延量の切り替えを行うことなく、入力映像信号を水平方向・垂直方向共にサブサンプルしてフィルタ処理を行なうことができる。

【0018】次にメモリ7の動作について説明する。メモリ7では、垂直方向ローパスフィルタ6から伝送されるフィルタ処理後の映像信号を画像メモリに書き込む。画像メモリへの書き込みアドレスは、各フィールドのスタート点（図10のa1の位置の映像信号のタイミング）でクリアーされ、クロック分周回路10から伝送される水平書き込みアドレスクロック、および垂直書き込みアドレスクロックによって、それぞれ水平アドレス116、および垂直アドレスが更新される。

【0019】本従来例における、それぞれのアドレスクロックのタイミングは、図11の通りである。したがって、図10に示す入力映像信号の各画素の信号は、フィルタ処理後に、図12のように画像メモリに書き込まれる。つまり、メモリ7では、1/2にサブサンプルされた入力映像信号が、画像メモリの上側1/2に順次書き込まれる。

【0020】次に、読みだしアドレス生成回路13では、出力映像信号の各タイミングで必要とするメモリ7内の画像メモリの読みだしアドレスを生成する。通常、デフォーカス処理においては、映像信号の形状は変化しないので、読みだしアドレスは、出力タイミングと同一タイミングの入力映像信号に相当する画像メモリのアドレスとなる。しかし、本従来例による映像処理装置では、上記説明のように、入力映像信号がサブサンプルされて画像メモリに書き込まれているので、通常の特効果装置における拡大処理と同様のアドレスを生成する。

【0021】したがって、本従来例では、画像メモリへの書き込み時に入力映像信号は水平方向・垂直方向共に1/2にサブサンプルされているので、これを水平方向・垂直方向共に2倍に拡大するようなアドレスが生成される。これにより、図12の斜線部分の映像信号が、出力画面に2倍に拡大されて出力される。

【0022】次に、内挿処理回路8の動作について説明する。内挿処理回路8では読みだしアドレス生成回路13によって生成される読みだしアドレスにより、画像メモリの数画素分の映像信号を内挿処理し、出力データを生成する。つまり、読みだしアドレスは一般に実数値を持ち、メモリのアドレスは自然数であるので、読みだしアドレスに小数部がある場合に、空間的に読みだしアドレスの近傍に存在するデータから、内挿処理により出力データを生成する。

【0023】本従来例では、内挿処理として、近傍4画素のデータから線形補間によりデータを生成する。そして、内挿処理回路によって生成された出力データが、映像信号出力端子14から出力される。このときの出力映像信号は図13のようになる。これは、入力映像信号と出力映像信号とでは空間的なデータの位置が変化していないことを示している。ただし、図13において、斜線部分の映像信号は、内挿処理回路8において、線形補間により生成されたデータである。

【0024】ついで、フィルタ制御回路11の動作について説明する。フィルタ制御回路11では、オペレータが必要とするばげ量に応じて、水平方向のローパスフィルタ51および垂直方向のローパスフィルタ6のフィルタ特性を決定する。本従来例においては、フィルタ特性として、縮小処理における折り返し歪除去用に使用する特性をそのまま利用している。

【0025】

【発明が解決しようとする課題】しかしながら、上記従来の映像特殊効果装置によるデフォーカス効果では、ローパスフィルタ処理の前にサブサンプル処理を行なうために、折り返し歪が発生してしまう。特に、垂直方向ローパスフィルタ処理では、インターレース信号を処理するため、高周波成分の折り返し歪が時間的なフリッカーとして観測され、画質を著しく劣化させてしまう。

【0026】また、デフォーカス効果ではそのばげ量を変動的に変化させるために、ローパスフィルタの特性を変化させると共に、サブサンプル処理での分周率を変化させる。このとき、分周率を変化させる前後で、サブサンプル処理とフィルタ処理とを結合した処理全体での周波数特性が急峻に変化することで、出力画像が急に変化してしまい、不自然になってしまう。

【0027】本発明はこのような従来の問題を解決するものであり、サブサンプル処理による折り返し歪の発生や、サブサンプル処理での分周率を変化させたときの画像の不自然な変化を抑えて、かつ大きなデフォーカス効果を得ることができる映像信号処理装置を提供することを目的とする。

【0028】

【課題を解決するための手段】本発明は上記目的を達成するために、サブサンプル処理での分周率に応じて、入力された映像信号に第1のローパスフィルタ処理を施し

てからサブサンプル処理を施し、サブサンプル処理後の映像信号について第2のローパスフィルタ処理、および補間処理を行うと共に、映像信号をフィールド単位に間引いて第2のローパスフィルタ処理もしくは補間処理を行い、更に補間処理後の映像信号に残像処理を行うことにより、良好なデフォーカス効果を得るようにしたものである。

【0029】

【作用】本発明は、サブサンプル処理での分周率に応じて、入力された映像信号に第1ローパスフィルタ処理を施してからサブサンプル処理を施し、サブサンプル処理後の映像信号について第2ローパスフィルタ処理、および補間処理を行うと共に、映像信号をフィールド単位に間引いて第2ローパスフィルタ処理もしくは補間処理を行い、さらに補間処理後の映像信号に残像処理を行うことにより、良好なデフォーカス効果を得るものであるから、サブサンプル処理での折り返し歪の発生を抑える。さらに、画像を不自然に変化させることなく、ばげ効果の大きいデフォーカス効果を連続的に効果を変えながら実現する。

【0030】

【実施例】以下、添付図面に基づいて本発明の実施例を説明する。図1は本発明に係る映像信号処理装置の第1実施例の構成を示す概略ブロック図である。

【0031】図1において、1は映像信号入力端子、2は水平方向第1ローパスフィルタ、3は垂直方向第1ローパスフィルタ、4はサブサンプル処理回路、5は水平方向第2ローパスフィルタ、6は垂直方向第2ローパスフィルタ、7はメモリ、8は内挿処理回路、9は残像処理回路、10はクロック分周回路、11はフィルタ制御回路、12はメモリ書き込み制御回路、13は読みだしアドレス生成回路、14は映像信号出力端子である。

【0032】まず、映像信号入力端子1に入力される信号は水平方向第1ローパスフィルタ2によってフィルタ処理される。このとき、水平方向第1ローパスフィルタ2のフィルタ特性は、クロック分周回路10から出力される分周率dによって制御される。例えば、図2に示すように、分周率dが1の場合のフィルタ特性21は全帯域通過となり、分周率dが1/2のときのフィルタ特性22は遮断周波数 $f_s/4$ (f_s :入力信号のサンプリング周波数)のローパス特性となる。

【0033】水平方向第1ローパスフィルタ2の出力は、垂直方向第1ローパスフィルタ3に入力される。垂直方向第1ローパスフィルタ3では、水平方向第1ローパスフィルタと同様、クロック分周回路10から出力される分周率によってフィルタ特性を制御する。

【0034】このように、本実施例では、サブサンプル処理を行う前にサブサンプル処理で用いる分周率に応じてローパスフィルタ処理を施すことにより、サブサンプル処理での折り返し歪の発生を防ぐものである。

10

20

30

40

50

【0035】垂直方向第1ローパスフィルタ3の出力信号はサブサンプル処理回路4に入力される。本実施例において、サブサンプル処理回路4、水平方向第2ローパスフィルタ5、および垂直方向第2ローパスフィルタ6の動作は従来例と同一である。

【0036】垂直方向第2ローパスフィルタ6の出力はメモリ7に書き込まれる。メモリ7は、ダブルバッファ構成になっている。本実施例では、1フィールドの画素サイズと同等のメモリが2つ用意されている。ここで、メモリ7にある2つのメモリをそれぞれメモリAおよびメモリBとする。また、本実施例において、メモリ7のダブルバッファの制御、およびメモリへの信号の書き込みの制御は、メモリ書き込み制御回路12によって制御される。

【0037】次に、このメモリ7およびメモリ書き込み制御回路12の動作について図3を参照しながら説明する。

【0038】図3(A)は、クロック分周回路10から出力される分周率dが1のときを示す。分周率dが1のときは、メモリ書き込み制御回路12により、1フィールド単位でダブルバッファが切り替わる。つまり、第nフィールド(F_n)で片方のメモリ(メモリA)に信号が書き込まれる(W)と同時に、もう片方のメモリ(メモリB)から信号が読み出される(R)。

【0039】また、第n+1フィールド(F_{n+1})では、第nフィールド(F_n)で信号が書き込まれたメモリ(メモリA)から信号が読み出され(R)、第nフィールド(F_n)で信号が読み出されたメモリ(メモリB)に信号が書き込まれる(W)。そして、第n+2フィールド(F_{n+2})以降は、第nフィールド(F_n)から第n+1フィールド(F_{n+1})での動作が繰り返される。

【0040】また、図3(B)に示すように、クロック分周回路10から出力される分周率が $1/2$ のときは、メモリ書き込み制御回路12により、2フィールド単位でダブルバッファが切り替わる。つまり、第nフィールド(F_n)では片方のメモリ(メモリA)に信号が書き込まれる(W)と同時に、もう片方のメモリ(メモリB)から信号が読み出される(R)。

【0041】また、第n+1フィールド(F_n)では、メモリへの信号の書き込みは行われず、第nフィールド(F_n)で信号が書き込まれたメモリ(メモリA)信号が読み出される(R)。そして、第n+2フィールド(F_n)では第n+1フィールド(F_n)で信号が読み出されたメモリ(メモリA)信号がもう1度読み出される(R)と同時に、もう片方のメモリ(メモリB)に信号が書き込まれる(W)。また、第n+3フィールド(F_{n+3})では、メモリへの信号の書き込みは行われず、第n+2フィールド(F_{n+2})信号が書き込まれたメモリ(メモリB)から信号が読み出される(R)。

そして、第n+4フィールド(F_{n+4})以降は、第nフィールド(F_n)から第n+3フィールド(F_{n+3})での動作が繰り返される。

【0042】このとき、読みだしアドレス生成回路13から出力されるアドレスは従来例と同様である。

【0043】このように、メモリ7の出力信号は、クロック分周回路10から出力される分周率dが1のときは、メモリ7の入力信号が1フィールド遅れて出力される。また、クロック分周回路10から出力される分周率dが $1/2$ のときは、メモリ7の入力信号のうち奇数フィールドの信号、もしくは偶数フィールドの信号のみが2回続けて出力される。

【0044】このように、クロック分周回路10から出力される分周率dが $1/2$ のときは、奇数フィールド(もしくは偶数フィールド)のみが出力されることにより、垂直方向第1ローパスフィルタで除去できない時間軸の折り返し歪(フリッカー)を除去することが出来る。このとき、出力画像のフィールド周波数が半減することにより、動画像での動きのスムーズさが損なわれるが、デフォーカス処理により画像全体がぼけているので、実用上は問題ない。

【0045】次に、メモリ7の出力信号は内挿処理回路8に入力される。内挿処理回路8の動作は、従来例と同様である。

【0046】内挿処理回路8の出力信号は残像処理回路9に入力される。本実施例では、残像処理回路9の内部は図4のようになっている。図4に示すとおり、残像処理回路9では、フィルタ制御回路11から出力される残像制御信号11aによって、入力信号8aと出力信号を1フレーム遅延した信号とに重み付け処理し、それぞれを加算して出力している。このとき、重み付け処理に用いる残像制御信号11aとぼけ量b、およびサブサンプル処理の分周率d1、d2との関係は、図5の特性曲線90のようになる。つまり、ぼけ量bが0(ぼけなし)のときは残像制御信号11aが1となり、残像は生じない。そして、分周率dが $1/2$ に変わる点よりぼけ量bが少ないところから残像が多くなり、分周率 $1/2$ であるd2では残像が最大となる。

【0047】このように、残像処理回路9では、サブサンプル処理での分周率dが変化するときに残像効果を施しているため、分周率dが変化することによる画像の急峻な変化を抑えている。この残像処理回路9の出力信号9aは、映像信号出力端子14に接続され、装置から出力される。

【0048】以上のように、本実施例における映像特殊効果装置では、水平方向第1ローパスフィルタ2および垂直方向第1ローパスフィルタ3により、サブサンプル処理での折り返し歪の発生を防ぎ、メモリ書き込み制御回路12によるメモリ7の制御により、サブサンプル処理でのフリッカーの発生を防ぎ、そして、残像処理回路

9により、分周率dが変化することによる画像の急峻な変化を抑えている。

【0049】次に、本発明の第2実施例について図面を参照しながら説明する。図6は本発明に係る映像信号処理装置の第2実施例の構成を示す概略ブロック図である。

【0050】図6において、1は映像信号入力端子、2は水平方向第1ローパスフィルタ、3は垂直方向第1ローパスフィルタ、4はサブサンプル処理回路、5は水平方向第2ローパスフィルタ、6は垂直方向第2ローパスフィルタ、7はメモリ、8は内挿処理回路、9は残像処理回路、10はクロック分周回路、11はフィルタ制御回路、13は読みだしアドレス生成回路、14は映像信号出力端子、そして15はフィールド間引き処理回路である。

【0051】まず、映像信号入力端子1に入力される信号はフィールド間引き処理回路15によって、クロック分周回路から出力される分周率dに応じてフィールド単位で信号が間引かれる。フィールド間引き処理回路15の構成を図7に示す。図7に示すように、フィールド間引き処理回路15では、分周率dが1のときは入力信号がそのまま出力され、分周率dが1/2のときは第nフィールドでは入力信号がそのまま出力され、第n+1フィールドでは1フィールド遅延した信号、つまり、第nフィールドの入力信号が再び出力される。

【0052】このように、フィールド間引き処理回路15によって、分周率dが1/2では入力信号がフィールド単位で間引かれる。

【0053】フィールド間引き処理回路15の出力信号は、水平方向第1ローパスフィルタ2に入力される。

【0054】本第2実施例において、水平方向第1ローパスフィルタ2以降の動作は前述の第1実施例と同様である。そこで、それぞれの回路における動作説明は省略する。但し、第2実施例には、メモリ書き込み制御回路がなく、メモリ7の書き込みは、分周率dに関係なく常に、第1実施例における分周率1と同様に動作するものとする。

【0055】以上のように、本第2実施例における映像特殊効果装置では、フィールド間引き処理回路15により、サブサンプル処理でのフリッカーの発生を防ぎ、水平方向第1ローパスフィルタ2および垂直方向第1ローパスフィルタ3により、サブサンプル処理での折り返し歪の発生を防ぎ、そして、残像処理回路9により、分周率dが変化することによる画像の急峻な変化を抑えている。

【0056】なお、本実施例において、サブサンプル処理での分周率dは1、および1/2としたが、他の分周率、例えば1/4を加えてもよい。

【0057】また、本実施例では、ローパスフィルタ処理を行う際、水平方向のローパスフィルタ処理を行った

後に垂直方向のローパスフィルタ処理を行っているが、この順序を逆にしてもよい。

【0058】また、本実施例では、分周率1/2のとき、メモリ7への書き込みを1フィールド中断し、次のフィールドで書き込みを行なっているが、本実施例で書き込みを中断しているフィールドについても信号の書き込みを行ない、次のフィールドで同じメモリに信号を上書きしてもよい。

【0059】また、本第2実施例では、入力信号にフィールド間引き処理を行っているが、フィールド間引き処理回路15を、水平方向第1ローパスフィルタ処理回路2と垂直方向第1ローパスフィルタ処理回路3の間、もしくは垂直方向第1ローパスフィルタ処理回路3とサブサンプル処理回路4の間、もしくはサブサンプル処理回路4と水平方向第2ローパスフィルタ処理回路5の間、もしくは水平方向第2ローパスフィルタ処理回路5と垂直方向第2ローパスフィルタ処理回路6とメモリ7の間、もしくはメモリ7と内挿処理回路8の間、もしくは内挿処理回路8と残像処理回路9の間、もしくは残像処理回路9と映像信号出力端子14の間のいずれかに挿入することによってフィールド間引き処理を行ってもよい。

【0060】

【発明の効果】本発明は、上記実施例から明らかなように、サブサンプル処理の前にローパスフィルタ処理を行なうことにより、サブサンプル処理での折り返し歪の発生を防ぎ、メモリ書き込み制御回路によるメモリの制御、もしくはフィールド間引き処理により、サブサンプル処理でのフリッカーの発生を防ぎ、そして、残像処理により、分周率が変化することによる画像の急峻を抑えたデフォーカス効果を実現することが出来る。

【図面の簡単な説明】

【図1】本発明の映像信号処理方法を実施する映像特殊効果装置の第1実施例を示す概略ブロック図

【図2】図1の装置における水平方向第1ローパスフィルタの特性図

【図3】図1の装置におけるメモリの動作を示す模式図

【図4】図1の装置における残像処理回路の概略ブロック図

【図5】図1の装置における残像処理回路を制御するための信号の例を示す模式図

【図6】本発明の映像信号処理方法を実施する映像特殊効果装置の第2実施例を示す概略ブロック図

【図7】図6の装置におけるフィールド間引き処理回路の概略ブロック図と動作説明図

【図8】従来の映像特殊効果装置を示す概略ブロック図

【図9】従来のサブサンプル処理を用いた映像特殊効果装置を示す概略ブロック図

【図10】従来の装置における入力映像信号の一例を示す模式図

【図11】従来の装置におけるクロック分周回路およびサブサンプル処理回路の動作を説明するためのタイミング図

【図12】従来の装置における画像メモリへの書き込み動作を説明するための模式図

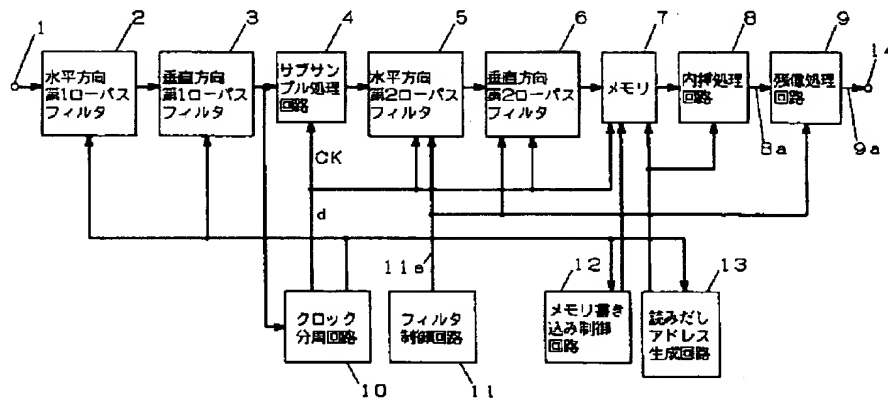
【図13】従来の装置における出力映像信号を説明するための模式図

【符号の説明】

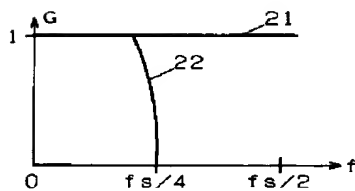
- | | |
|------------------|--------------------|
| 1 映像信号入力端子 | * 6 垂直方向第2ローパスフィルタ |
| 2 水平方向第1ローパスフィルタ | 7 メモリ |
| 3 垂直方向第1ローパスフィルタ | 8 内挿処理回路 |
| 4 サブサンプル処理回路 | 9 残像処理回路 |
| 5 水平方向第2ローパスフィルタ | 10 クロック分周回路 |
| | 11 フィルタ制御回路 |
| | 12 メモリ書き込み制御回路 |
| | 13 読みだしアドレス生成回路 |
| | 14 映像信号出力端子 |
| | 15 フィールド間引き処理回路 |
| | ck クロック |
| | d 分周率 |

*

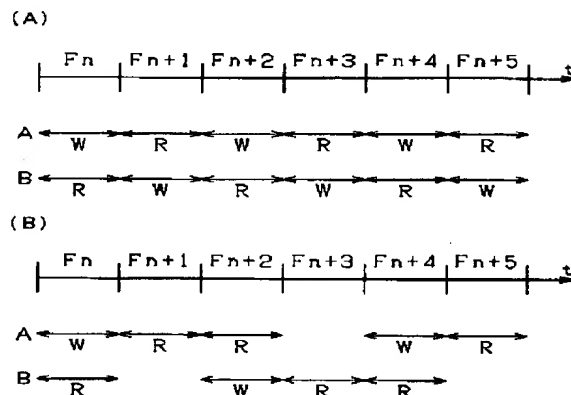
【図1】



【図2】



【図3】



【図4】

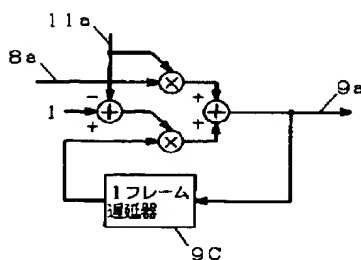


Figure 1 consists of a schematic diagram and a table. The schematic diagram shows a magnetic field control system. A current I_a flows into a block labeled "1フレーム 逆起器" (1-frame inverter). The output of the inverter is connected to a motor winding, represented by a coil with terminals A and B. A feedback signal is taken from the winding and fed back to the inverter. The motor winding is also connected to a terminal labeled 15C. A dashed line labeled d indicates a distance or displacement. The output of the motor is labeled 15D and 15a.

		分周率 d	
		1	$1/2$
フィールド	n	B	B
	$n+1$	B	A

```

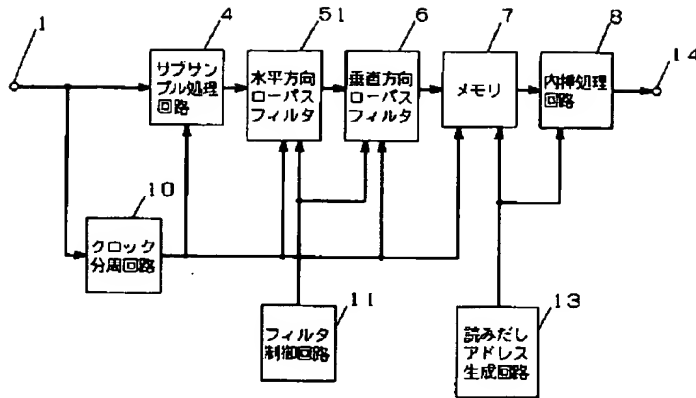
graph LR
    1((1)) --> 5[5: 水平方向ローパスフィルタ]
    5 --> 6[6: 垂直方向ローパスフィルタ]
    6 --> 7[7: メモリ]
    7 --> 8[8: 内挿処理回路]
    8 --> 14((14))
    
    11[11: フィルタ制御回路] --> 5
    11 --> 6
    
    13[13: 読みだしアドレス生成回路] --> 7
    13 --> 8
  
```

Diagram illustrating the mapping of input symbols to output symbols in a finite state transducer. The input symbols are arranged in a grid: (a1, b1, c1, d1), (a2, b2, c2, d2), (a3, b3, c3, d3), and (an, bn, cn, dn). The output symbols are arranged in a grid: (y1, z1), (y2, z2), (y3, z3), and (yn, zn). Dashed lines connect each input symbol to its corresponding output symbol: a1 to y1, b1 to z1, c1 to y1, d1 to z1, and so on.

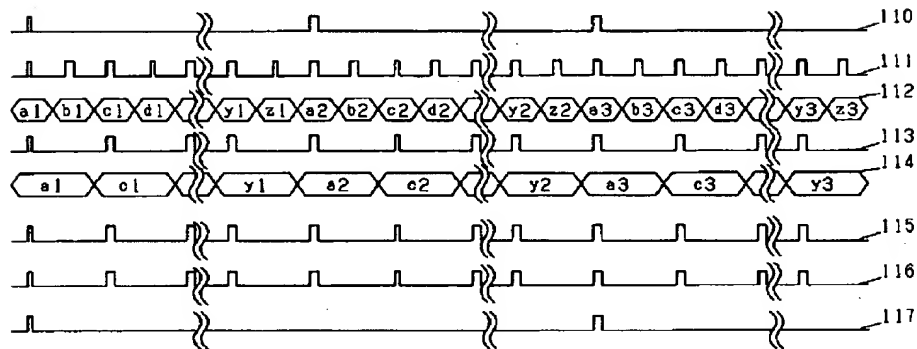
The diagram shows a matrix structure with two main parts. The top-left part is shaded with diagonal lines and contains elements a_1, a_2, \dots, a_n in the first column and a_1, a_2, \dots, a_n in the first row. The bottom-right part is unshaded and contains elements a_2, a_3, \dots, a_n in the first column and a_1, a_2, \dots, a_n in the first row. The elements are arranged in a grid with dashed lines indicating the partitioning.

a1	b1	c1	d1	-----	y1	z1
a2	b2	c2	d2	-----	y2	z2
a3	b3	c3	d3	-----	y3	z3
⋮	⋮	⋮	⋮		⋮	⋮
an	bn	cn	dn	-----	yn	zn

【図9】



【図11】



110--水平垂直クロック
 111--入力水平クロック
 112--入力データ
 113--サブサンプルクロック
 114--サブサンプルデータ
 115--フィルタクロック
 116--水平書込アドレスクロック
 117--垂直書込アドレスクロック